

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-128752

(43)Date of publication of application : 09.07.1985

(51)Int.Cl.

H04L 25/49

G11B 20/14

H03M 7/14

H04L 7/04

(21)Application number : 58-236233

(71)Applicant : AKAI ELECTRIC CO LTD

(22)Date of filing : 16.12.1983

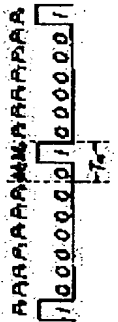
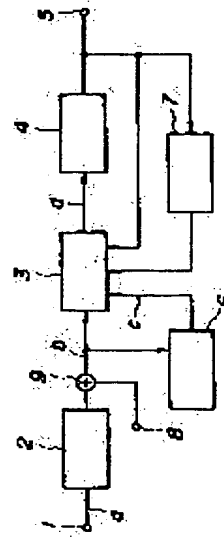
(72)Inventor : SAITO OSAMU
SUZUKI TAKATOSHI

(54) DIGITAL MODULATION SYSTEM

(57)Abstract:

PURPOSE: To control the error rate by high S/N by setting margin bits which are inserted at every $(2n-1)$ bit of the digital information signal executed by $(n, 2n-1)$ bit pattern conversion so that DC components of the digital information signal will decrease and the synchronizing pattern will not occur in the bit pattern.

CONSTITUTION: A synchronizing signal which consists of two constant $(2n-1)$ bit patterns from an input terminal 8 is added to the output signal of a code converter 2 by an adder 9, and the output signal is supplied to a margin bit adder 3 and a false synchronizing signal detector 6. When there is the same bit pattern with the synchronizing signal in the part which is not the synchronizing signal part of an output signal (b) of the adder 9, the false synchronizing signal detector 6 detects the bit pattern to be the false synchronizing signal, and supplies a detection signal (c) to the margin bit adder 3. The margin bit adder 3 adds the margin bit of two bits at every $(2n-1)$ bit of the $(2n-1)$ bit pattern signal (b). The output signal of the margin bit adder 3 is modulated by an NRZI modulator 4, supplied to the head tape system from an output terminal 5, and recorded.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-128752

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)7月9日

H 04 L 25/49
G 11 B 20/14
H 03 M 7/14
H 04 L 7/04

1 0 1

A-7345-5K
8322-5D
7530-5J
6745-5K

審査請求 未請求 発明の数 1 (全13頁)

⑮ 発明の名称 デジタル変調方式

⑯ 特 願 昭58-236233

⑰ 出 願 昭58(1983)12月16日

⑱ 発 明 者 齊 藤 理 東京都大田区東糀谷2丁目12番14号 赤井電機株式会社内
⑲ 発 明 者 鈴 木 隆 敏 東京都大田区東糀谷2丁目12番14号 赤井電機株式会社内
⑳ 出 願 人 赤井電機株式会社 東京都大田区東糀谷2丁目12番14号
㉑ 代 理 人 弁理士 徳 永 勉

明 細 書

1. 発明の名称

デジタル変調方式

2. 特許請求の範囲

(1) N R Z 信号を n ビット毎に区分して一連の n ビットパターンからなる信号とし、各 n ビットパターンを対応する $(2n-1)$ ビットの $(2n-1)$ ビットパターンに変換し、複数の $(2n-1)$ ビットパターンからなる同期信号を付加して各 $(2n-1)$ ビットパターン間毎に 2 ビットのマージンビットを付加し、さらに、N R Z I 変調するようにしたデジタル変調方式において、前記 $(2n-1)$ ビットパターンからなる信号から同期信号と同一ビットパターンの擬似同期信号ビットパターンの有無を判定し、該擬似同期信号ビットパターン中に付加される前記マージンビットを、該擬似同期ビットパターンが消滅するように設定し、かつ、該擬似同期信号ビットパターン以外の部分に付加される前記マージンビットを、前記 N R Z I 変調によって得られる N R Z I 変調信号に依

て設定し、該 N R Z I 変調信号の低域成分および直流成分を抑圧することができるようにしたことを特徴とするデジタル変調方式。

(2) 特許請求の範囲第(1)項において、前記 $(2n-1)$ ビットパターンは 2 つの "1" ビット間に少なくとも 2 つの "0" ビットを含み、連続せる "0" ビットの個数の最大値 k (但し、 $(2n-1)$ ビットパターンの端部に "0" ビットが連続するときには、その個数に 2 を加えた値) が小さい方から 2^k 種類のビットパターンであり、かつ、前記マージンビットは "M₁, M₀" の 2 ビットからなり、該マージンビットに先行する $(2n-1)$ ビットパターンを、

$P_{2n-2}, P_{2n-3}, \dots, P_1, P_0$

とし、後続する $(2n-1)$ ビットパターンを、

$Q_{2n-2}, Q_{2n-3}, \dots, Q_1, Q_0$

としたときに、前記マージンビット "M₁, M₀" を次のように設定したことを特徴とするデジタル変調方式。

(I) 次の(I)~(M)の条件のいずれか 1 つを満たす

き、

$$M_1 = M_0 = "0"$$

条件 (I) $P_0 = "1"$ (II) $Q_{2n-2} = "1"$

(III) $P_1 = P_0 = Q_{2n-2} = Q_{2n-3} = "0"$,
かつ、 $i + (2n - 2 - j) + 2 \leq m$
であって、($DS \geq 0$ かつ $ST = "0"$),
または ($DS < 0$ かつ $ST = "1"$)

(IV) $P_1 = "1"$ かつ $P_0 = Q_{2n-2} = Q_{2n-3} = "0"$,
かつ、 $(2n - 2 - j) + 3 \leq m$
であって、($DS \geq 0$ かつ $ST = "0"$)
または ($DS < 0$ かつ $ST = "1"$)

(V) $P_1 = P_0 = Q_{2n-2} = "0"$ かつ $Q_{2n-3} = "1"$,
かつ、 $i + 3 \leq m$
であって、($DS \geq 0$ かつ $ST = "0"$)
または ($DS < 0$ かつ $ST = "1"$)

(III) 次の (I) ~ (V) の条件のいずれか 1 つを満足するとき、

$$M_1 = "1", M_0 = "0"$$

と設定する。

であって、($DS \geq 0$ かつ $ST = "1"$)
または ($DS < 0$ かつ $ST = "0"$)

但し、(I) $P_1 = P_0 = Q_{2n-2} = Q_{2n-3} = "0"$, かつ、
 $i + (2n - 2 - j) + 2 > m$
のとき、 $M_1 = "0"$, $M_0 = "1"$ として
もよい。

(II) 前記先行する $(2n - 1)$ ビットパターン
の最下位の "1" ビットを P_1 とし、前記後続する
 $(2n - 1)$ ビットパターンの最上位 "1" ビット
を Q_1 とし、これら繰数 i, j の値を前記不等式
の i, j とする。

(III) ST は前記 NRZ I 変調して得られる
信号の、前記 $(2n - 1)$ ビットパターンの
ビットタイミングにおける "1", "0" の状態を
表わし、 DS は、 $ST = "1"$ のときに値 1 を
加算し、 $ST = "0"$ のときは値 1 を減算する
ようにした、上記 NRZ I 変調された信号の
デジタル加減算

条件 (I) $P_1 = P_0 = Q_{2n-2} = Q_{2n-3} = "0"$, かつ、
 $i + (2n - 2 - j) + 2 > m$

(II) $P_1 = P_0 = Q_{2n-2} = Q_{2n-3} = "0"$, かつ
 $i + (2n - 2 - j) + 2 \leq m$
であって、($DS \geq 0$ かつ $ST = "1"$)
または ($DS < 0$ かつ $ST = "0"$)

(III) $P_1 = P_0 = Q_{2n-2} = "0"$ かつ $Q_{2n-3} = "1"$,
かつ、 $i + 3 > m$

(IV) $P_1 = P_0 = Q_{2n-2} = "0"$ かつ $Q_{2n-3} = "1"$,
かつ、 $i + 3 \leq m$
であって、($DS \geq 0$ かつ $ST = "1"$)
または ($DS < 0$ かつ $ST = "0"$)

(III) 次の (I), (II) の条件のいずれか 1 つを満足
するとき、

$$M_1 = "0", M_0 = "1"$$

と設定する。

条件 (I) $P_1 = "1"$ かつ $P_0 = Q_{2n-2} = Q_{2n-3} =$
"0", かつ $(2n - 2 - j) + 3 > m$

(II) $P_1 = "1"$ かつ $P_0 = Q_{2n-2} = Q_{2n-3} = "0"$,
かつ、 $(2n - 2 - j) + 3 \leq m$

値である。

(IV) m は、上記選択された 2^n 種類の $(2n - 1)$ ビットパターンの夫々が有する
上記最大数の "0" ビットの連続せる個数 k のうちの最も大きい個数
である。

3. 発明の詳細な説明

本発明は、磁気記録媒体などに情報信号の記録
再生するに好適なデジタル変調方式に関する。

近年、デジタル技術の発展にともない、磁気記
録再生装置においても、このデジタル技術がとり
入れられ、音声信号やデータ信号などの情報信号
をデジタル変調して記録再生されるようになって
きた。

デジタル変調方式としては数多く提案されてい
るが、デジタル記録に際しては、再生されたデジ
タル情報信号からクロック信号を再現することが
でき、かつ、高密度に記録することができる方式
であることが好ましく、このために、従来は MFM
(モディファイド FM) 方式や 3FM 方式など

が一般に採用されていた。

これら方式はPJM(パルス符号変調)化された情報信号のビットパターンを所定の規則に従って変換するものであって、MFM方式は、かかるビットパターン中の"1"ビットではそのビットセルの中央で反転し、"0"ビットでは反転せず、かつ、連続せる"0"ビットのビットセルの境界で反転するようにしたものである。そこで、いま、ビットセルの間隔を T とし、MFM方式の反転間隔を考えると、最小反転間隔 T_{min} は、"1"または"0"ビットが連続する場合であって、

$$T_{min} = T$$

であり、最大反転間隔 T_{max} は、"1"ビットと"0"ビットとが交互に続く場合であって、

$$T_{max} = 2T$$

である。また、このほかに、"1", "0", "0"と続くビットパターン("1, 0, 0"と表わす。以下同じ)、あるいは、"0, 0, 1"のビットパターンのとまには、反転間隔は $1.5T$ となり、結局、MFM方式では、 T , $1.5T$ および

表1のパターン変換にもとづいて情報信号は6ビットコードの時系列信号に変換されるが、この場合、この時系列信号においては、2つの"1"ビット間に少なくとも2つの"0"ビットがあるようにする。そこで、たとえば、情報信号において、"0, 1, 1"と"1, 0, 1"とが連続するような場合、これらを6ビットパターンに変換すると、先行の6ビットコードの"1"ビットである P_1 ビットと後続の6ビットパターンの"1"ビットである P_2 ビットとの間に1つの"0"ビットしか存在しないから、このような場合、先行の6ビットパターンの P_1 ビットと後続の6ビットパターンの P_2 ビットを"0"ビットにし、かつ、先行の6ビットパターンの P_1 ビットを"1"にする。さらに、かかる3PM方式では、変換後の情報信号は"1"ビットの中央部で反転し、"0"ビットではそれが続く限り反転しない。

このように、3PM方式は、元の3ビットのビットグループを6ビットパターンに変換するものであり、元のビットパターンのビット間隔は T で

2Tの3種の反転間隔を生ずる信号パターン(すなわち、信号波形)が得られる。

一方、3PM方式は、ビットパターンを3ビット毎に1つのグループ(以下、ビットグループという)に区分し、各ビットグループを6ビットで表わされるコードに一対一に対応させるものである。かかるビットグループのビットパターンとしては、 $2^3=8$ 種類あり、各ビットパターン毎に異なる6ビットのコード(すなわち、パターン)を対応させている。かかるビットパターンの変換規則を次の表1に示す。

表 1

変換前の ビットグループ			6ビットコード					
X_1	X_2	X_3	P_1	P_2	P_3	P_4	P_5	P_6
0	0	0	0	0	0	0	1	0
0	0	1	0	0	0	1	0	0
0	1	0	0	1	0	0	0	0
0	1	1	0	1	0	0	1	0
1	0	0	0	0	1	0	0	0
1	0	1	1	0	0	0	0	0
1	1	0	1	0	0	0	1	0
1	1	1	1	0	0	1	0	0

あるから、3T間に6ビットが存在することになる。したがって、3PM方式で得られる情報信号のビットの間隔は $T/2$ である。

そこで、3PM方式による反転間隔をみると、最小反転間隔 T_{min} は、2つの"1"ビット間に2つの"0"ビットがある場合であるから、

$$T_{min} = 3 \times T/2 = 1.5T$$

であり、また、最大反転間隔 T_{max} は、上記表1および、先の規則から、変換前のビットグループ"0, 0, 0"(あるいは、"0, 1, 1"あるいは"1, 1, 0"), "1, 0, 1"が交互に連なる場合であり、この場合、2つの"1"ビット間に11個の"0"ビットがあるから、

$$T_{max} = 12 \times T/2 = 6T$$

である。このほかに、 T_{min} と T_{max} との間に、 $T/2$ だけ順次異なる8種類の反転間隔があり、結局、3PM方式は、全部で10種類の反転間隔がある。

ところで、デジタル信号を記録するに際しては、

- (1) 高密度に記録できること。

- (2) トラック上の隣接磁化ピークの干渉による反転位置を示す再生波形のピークシフトがないこと。
 - (3) 再生デジタル信号からクロックパルスを抽出する、いわゆる、セルフクロックが容易であること。
 - (4) 処理回路の構成が簡単であること。
- などが必要である。

まず、記録密度については、最小反転間隔 T_{min} が大きい程大きい。したがって、3PM方式はMFM方式に比べて1.5倍の記録密度を得ることができ、高密度記録に有利である。次に、再生波形のピークシフト量は、最大反転間隔 T_{max} / 最小反転間隔 T_{min} が大きい程大きい。この比は、MFM方式では2、3PM方式では4であるから、再生波形のピークシフト量の点からみると、MFM方式の方が有利である。また、セルフクロックは最大反転間隔 T_{max} が小さい程容易であり、セルフクロッキング回路が簡単となる。したがって、3PM方式はセルフクロッキング回路が複雑になる。

さらに、3PM方式は符号化回路、復号化回路が複雑であるし、また、反転間隔の種類が多いために再生波形の波形等化回路も複雑となる。

近年、記録密度をより向上させることの要請が高まっていることから、デジタル変調方式として3PM方式がこの要請を満足されることになるが、この反面、3PM方式は、上記のように、再生波形のピークシフトや回路構成などの点で問題がある。

そこで、比較的記録密度を高くすることができ、しかも、再生波形のピークシフトが少なく、かつ、回路構成を簡略化可能とするために、情報信号の連続するビットをビットグループとし、これを $(2n-1)$ ビットのパターンに変換し、各ビットパターン間にマージンビットを付加することにより、コード変換された情報信号の2つの“1”ビット間に少なくとも2つの“0”ビットが存在するようにした変調方式が提案された。

第1図はかかる変調方式による変調回路を示すブロック図であって、1は入力端子、2は符号変

換器、3はマージンビット付加器、4はNRZI変調器である。

同図において、入力端子1からNRZ(Non Return Zero)変換された情報信号(以下、NRZ信号という)が符号変換器2に供給される。符号変換器2は、NRZ信号の連続する n ビットをビットグループとし、各ビットグループを $(2n-1)$ ビットパターンに変換するものである。符号変換器2の出力信号はマージンビット付加器3で $(2n-1)$ ビットパターン間毎に2ビットのマージンビットが付加され、さらに、NRZI変調器でNRZI変調され、出力端子5から記録ヘッド(図示せず)に供給されて記録媒体に記録される。

ところで、NRZ信号における n 個のビットからなるビットグループのビットパターンは、 2^n 種類ある。これに対して、 $(2n-1)$ 個のビットからなるビットパターンは、 2^{2n-1} 種類ある。そこで、NRZ信号を符号変換器2で符号変換するためには、 2^{2n-1} 種類の $(2n-1)$ ビットパタ

ーンのうち、 2^n 種類の $(2n-1)$ ビットパターンとしては、「ビットパターン中に少なくとも1つの“1”ビットを含み、かつ、2つ以上の“1”ビットを含むときには、各“1”ビット間に少なくとも2つ以上の“0”ビットが存在する」という条件を満足するものである。 $n \geq 3$ のとき、この条件を満足する $(2n-1)$ ビットパターンは 2^n 種類以上存在する。

情報信号のコード変換前のビットグループ(n ビット)のビットパターンとコード変換後の $(2n-1)$ ビットパターンのビットパターンとの関係は、 $(n, 2n-1)$ 変換表で表わされるが、一例として、 $n=4$ の場合の $(4, 7)$ 変換表を次の表2に示す。

表 2

パターン変換前 のビットパターン	パターン変換後 のビットパターン
X_3, X_2, X_1, X_0	$P_3, P_2, P_1, P_0, P_3, P_2, P_1, P_0$
0 0 0 0	1 0 0 1 0 0 1
0 0 0 1	1 0 0 1 0 0 0
0 0 1 0	1 0 0 0 1 0 0
0 0 1 1	1 0 0 0 0 1 0
0 1 0 0	1 0 0 0 0 0 1
0 1 0 1	0 1 0 0 1 0 0
0 1 1 0	0 1 0 0 0 1 0
0 1 1 1	0 1 0 0 0 0 1
1 0 0 0	0 1 0 0 0 0 0
1 0 0 1	0 0 1 0 0 1 0
1 0 1 0	0 0 1 0 0 0 1
1 0 1 1	0 0 1 0 0 0 0
1 1 0 0	0 0 0 1 0 0 1
1 1 0 1	0 0 0 1 0 0 0
1 1 1 0	0 0 0 0 1 0 0
1 1 1 1	0 0 0 0 0 1 0

符号変換器 2 は、 $(n, 2n-1)$ 変換表に従ってパターン変換が可能のように、ゲート回路を

ない。

マージンビット付加器 3 は、符号変換器 2 によるパターン変換後の信号において、いかなる個所においても各 "1" ビット間に少なくとも 2 つの "0" ビットが存在するように、 $(2n-1)$ ビット間毎に 2 つのビットからなるマージンビットを付加するものである。

マージンビットは次の条件を満足するように選定される。いま、先行する $(2n-1)$ ビットパターンが $P_{2n-2}, P_{2n-3}, \dots, P_1, P_0$ 、これに後続する $(2n-1)$ ビットパターンが $Q_{2n-2}, Q_{2n-3}, \dots, Q_1, Q_0$ であって、

$$P_{2n-2}, P_{2n-3}, \dots, P_1, P_0, M_1, M_0, Q_{2n-2}, Q_{2n-3}, \dots, Q_1, Q_0$$

のように、2 ビットのマージンビット M_1, M_0 が付加されるとすると、

$$(1) \quad P_0 = "1", Q_{2n-2} = "1", \begin{cases} P_0 = Q_{2n-2} = "0" \text{ かつ} \\ P_1 = Q_{2n-3} = "1" \end{cases}$$

のいずれかであるとき、

$$M_1 = M_0 = "0"$$

組み合わせて構成されるが、パターン変換前後のビットパターンの対応の仕方によってゲート素子数が異なるから、ゲート素子数がより少なく、回路規模が最も小さくなるように、ビットパターンの対応づけをなす必要がある。

N 比 2 信号のビットグループに対応した $(2n-1)$ ビットコードが、上記の条件から、各 "1" ビット間に少なくとも 2 つの "0" が存在するものであっても、符号変換器 2 によって $(2n-1)$ ビットが時系列に配列されると、連続する 2 つの $(2n-1)$ ビットパターンによっては "1" ビット間で少なくとも 2 つの "0" ビットが存在する」ということと反する部分が生ずる。たとえば、 $n=4$ として表 2 を参照すると、ビットパターン "0, 0, 0, 0" に対応した 7 ビットパターンにビットパターン "0, 0, 0, 1" に対応した 7 ビットパターンが続く場合、先行の 7 ビットパターンの "1" の P_0 ビットの次に後続の 7 ビットパターンの "1" の P_0 ビットが続き、これら 2 つの "1" ビット間には "0" ビットが存在し

$$(2) \quad P_1 = P_0 = Q_{2n-2} = Q_{2n-3} = "0", \text{ または、}$$

$$\begin{cases} P_1 = P_0 = Q_{2n-2} = "0" \text{ かつ、} \\ Q_{2n-3} = "1" \end{cases}$$

のとき、

$$M_1 = "1", M_0 = "0"$$

$$(3) \quad P_1 = "1" \text{ かつ } P_0 = Q_{2n-2} = Q_{2n-3} = "0"$$

$$\text{のとき } M_1 = "0", M_0 = "1"$$

但し、 $P_1 = P_2 = Q_{2n-2} = Q_{2n-3} = "0"$ のときは、(2) ではなく、(3) に含めてもよい。

としてマージンビット M_1, M_0 を設定する。N 比 2 変調器 4 は $(2n-1)$ ビットコードにマージンビットが付加されたビットパターンを、その "1" ビットの中央で反転し、"0" ビットで反転しないように変調する。

ところで、マージンビット付加器 3 の出力信号のビットパターンは、2 つの "1" ビット間に少なくとも 2 つの "0" ビットが存在し、したがって、2 つの "1" ビット間に存在する "0" ビットの最低数は 2 であるから、N 比 2 変調器 4 から出力される N 比 2 信号 b の最小反転間隔 T_{\min}

は、元のNRZ信号aの1ビットの長さをTとすると、

$$T_{\min} = 3 \cdot \frac{n}{2n+1} \cdot T$$

となり、この値が大きいほど記録密度が大きくなる。また、最大反転間隔 T_{\max} は、選択される $(2n-1)$ ビットパターンにおける2つの"1"ビット間の"0"ビットの最大数を m とすると、

$$T_{\max} = (m+1) \cdot \frac{n}{2n+1} \cdot T$$

となり、この値が小さいほど復調時に再生信号からクロック信号を抽出するセルフクロックが容易となり、また、反転間隔の種類も少なくなつて再生波形の誤形等化回路の構成が簡略化される。さらに、 T_{\max} と T_{\min} の比、すなわち、

$$\frac{T_{\max}}{T_{\min}} = \frac{m+1}{3}$$

が小さいほどビークシフト量が小さくなる。

たとえば、 $n=4$ とすると、 $T_{\min}=1.33T$ となり、先に述べた3PM方式の $1.5T$ よりも小さ

FM方式や3PM方式に比べて多くの長所を有している。

ところで、このような変調方式で変調された情報信号は、さらに同期信号がフレーム毎に付加されて記録されるが、この際、この同期信号のビットパターン（すなわち、同期パターン）は、情報信号中のビットパターンと区別できるように考慮されていないため、再生時に同期信号を抽出するとき、情報信号中に同期パターンと同一のビットパターンがあると、このビットパターンを同期信号と誤認して抽出し、この同期信号（すなわち、擬似同期信号）で同期状態に入り、もはや、情報信号の復調が不能となる欠点があった。また、記録媒体に記録されるべき記録信号の直流成分について考慮されていないために、 T_{\max}/T_{\min} が大きいときには、再生回路において、デジタル情報信号の S/N が低く、糸全体のエラーレートが非常に大きくなるという欠点があった。

本発明の目的は、上記従来技術の欠点を除き、同期信号を確実に情報信号から分離可能とすると

いが、MFM方式の T よりも大きく、記録密度の点でMFM方式よりも有利である。また、上記表2および上記のマージンビットの条件(1)から、マージンビット付加器3の出力信号の先行する7ビットパターンの最終ビット P_0 が"1"で、次に続く7ビットパターンの最後から2番目のビット P_1 のみが"1"のとき、マージンビット M_1 , M_0 は共に"0"であつて、このとき、これら2つの"1"ビット間に最大数の"0"ビットが存在し、その数 m は7である。したがって、最大反転間隔 $T_{\max}=3.55T$ となり、MFM方式の $2T$ より大きい、3PM方式の $6T$ よりも小さく、また、反転間隔の種類も6種類と、3PM方式の10種類よりも少なくして再生回路が簡単となる。さらに、 T_{\max}/T_{\min} は2.67であつて、3PM方式の3.67よりも小さく、ビークシフトに対して有利であり、回路構成もMFM方式よりも多小大くなる程度である。

以上のように、この $(n, 2n-1)$ ビットパターン変換による従来のデジタル変調方式は、M

ともに、高い S/N でエラーレートを大幅に抑制することができるようにしたデジタル変調方式を提供するにある。

この目的を達成するために、本発明は、 $(n, 2n-1)$ ビットパターン変換されたデジタル情報信号の $(2n-1)$ ビット間毎に挿入されるマージンビットを、デジタル情報信号の直流成分が減少するように、かつ、デジタル情報信号のビットパターンに同期パターンが生じないように、設定するようにした点に特徴がある。

以下、本発明の実施例を図面について説明する。

第2図は本発明によるデジタル変調方式の一実施例を示すブロック図であつて、6は擬似同期信号検出器、7は加減算器、8は入力端子、9は加算器であり、第1図に対応する部分には同一符号をつけている。

第2図において、入力端子1から符号変換器2に情報信号に対するNRZ信号aが供給される。符号変換器2は、供給されたNRZ信号aの n (但し、 n は正の整数) ビットのビットパターンを

($2n-1$) のビットパターンに変換する。すなわち、N 比 Z 信号 a は n ビットのグループに区分され、各グループのビットパターンが ($2n-1$) ビットのビットパターンに変換される。

この ($2n-1$) ビットのビットパターンは、次の条件を満足するものが選ばれる。すなわち、($2n-1$) ビットのビットパターンは 2^{2n-1} 種類があるが、その中で、

- (1) 2つの "1" ビット間に少なくとも2つの "0" ビットが存在し、
- (2) "0" ビットの連続個数 k (但し、端部に "0" ビットが連続している場合には、その "0" ビットの個数に2を加えた数) が少ない。

2^n 種類が選ばれる。上記条件 (2) のかっこ内について、さらに具体的には、いま、($2n-1$) ビットのビットパターンが、

$$P_{2n-2}, P_{2n-3}, \dots, P_2, P_1, P_0$$

とすると、 $P_2 = "1"$, $P_1 = P_0 = "0"$ ならば、このビットパターンの "0" ビットの連続個数 k

ところで、同期信号は、($2n-1$) ビットパターン信号の1フレームの識別基準として挿入されたものであり、符号変換器2でのN比Z信号aの n ビットパターンに対応した($2n-1$)ビットパターンのいずれとも異なり、しかも、連続した "0" の個数がこの($2n-1$)ビットパターン全体の連続した "0" ビットの個数のうちの最大の個数を超えない2つの($2n-1$)ビットパターンの組み合わせとなるように設定されている。しかし、このように同期信号のビットパターンを選定しても、実際には後述するように、マージンビット付加器3で($2n-1$)ビット毎に2ビットのマージンビットを付加したとき、データ部分の仕様の連続する $\{2(2n-1)+2\}$ 個 (以下、これを2個とする) のビットを考慮した場合、これらビットによるビットパターンが同期信号のビットパターンに一致する場合もある。

一方、($2n-1$) ビットパターン信号 b にマージンビットを付加した信号を元のN比Z信号 a に逆変換する場合、($2n-1$) ビットパターン

は、 $3+2=5$ となる。このように選択された ($2n-1$) ビットのビットパターンとN比Z信号 a に存在する 2^n 種類の n ビットのビットパターンとが1対1に対応され、このビットパターンの対応にしたがって、符号変換器2はN比Z信号 a の1グループ毎のビットパターンを ($2n-1$) ビットのビットパターンに変換する。そして、隣り合う ($2n-1$) ビットパターン間には、後述するマージンビット付加のために2ビット分の間隔がある。

符号変換器2の出力信号は、加算器9で入力端子8からの一定の2つの ($2n-1$) ビットパターンからなる同期信号が付加され、マージンビット付加器3と擬似同期信号検出器6に供給される。

擬似同期信号検出器6は、加算器9の出力信号 (以下、($2n-1$) ビットパターン信号という) b の同期信号部分以外の部分に、同期信号のビットパターンと同一のビットパターンが有れば、これが擬似同期信号であるとして検出し、検出信号 c をマージンビット付加器3に供給する。

信号 b にマージンビットを付加した信号から2個のビットからなる同期信号のビットパターンを抽出し、これにもとづいて ($2n-1$) ビットパターン信号 b にマージンビットを付加した信号を ($2n-1$) ビットずつ区分し、これを n ビットのビットパターンに変換して元のN比Z信号を復元する。

ところが、上記のように、($2n-1$) ビットパターン信号 b にマージンビットを付加した信号のデータ部分に同期信号と同一ビットパターンが存在すると、これを同期信号と誤検出し、これにもとづいて ($2n-1$) ビットパターン信号 b にマージンビットを付加した信号をN比Z信号に変換してしまい、元のN比Z信号とは全く異なるN比Z信号が得られることになる。もちろん、次の正しい同期信号が検出されると、それ以降は正しいN比Z信号が復元されるが、それまでは、N比Z信号が復元されない。

($2n-1$) ビットパターン信号 b のデータ部分からかかる誤った同期信号 (すなわち、擬似同

同期信号)のビットパターンを検出するのが、擬似同期信号検出器6である。

マージンビット付加器3は、 $(2n-1)$ ビットパターン信号bの $(2n-1)$ ビット毎に2ビットのマージンビットを付加する。マージンビット付加器3の出力信号はNRZI変調器4で変調され、出力端子5から図示しないヘッドテープ系に供給されて記録される。

マージンビットは、第1図に示した従来技術と同様に、 T_{min} 、 T_{max}/T_{min} 、ピークシフトなどを考慮して設定されると同時に、先の擬似同期信号の消滅、DC成分の減少も考慮して設定される。

まず、擬似同期信号の消滅について説明する。

マージンビット付加器3は、擬似同期信号検出器6から検出信号cが供給されると、この検出信号cが得られた $(2n-1)$ ビットパターン信号bの領域(すなわち、同期信号と同一ビットパターンの2 $(2n-1)$ ビット中)のマージンビットが付加される部分に、敢て先で同期信号と異なる

けれどもよいが、ここでは、“0, 1”のビットパターンとする。かかるマージンビットが付加された16ビットパターンの同期信号を第3図に示す。

このように、同期信号が16ビットのビットパターンに設定されると、マージンビット付加器3の出力信号dのデータ部分で、これと同じビットパターンが含まないようにしなければならない。

いま、このようなビットパターンとなる可能性がある部分が、7ビットパターン信号bに存在するものとする。この部分は、第4図(A)に示すように、マージンビットが付加される部分 T_m を“0, 0”のビットパターンとしたときに、第3図に示す同期信号のビットパターンと全く等しくなる16ビットのビットパターンである。このような16ビットのビットパターンは、部分 T_m に“0, 0”のマージンビットが付加されると、全く同期信号のビットパターンに等しくなる。

擬似同期信号検出器6は7ビットパターン信号bの部分 T_m を含めた16ビットパターンづつを常

にビットパターンとなるようなマージンビットを付加する。

この点について、 $n=4$ とし、第3図および第4図を用いてさらに詳しく説明する。

いま、入力端子8から供給される同期信号の夫々の7ビットパターンを、

“1, 0, 0, 0, 0, 0, 0”

および、

“0, 0, 0, 0, 0, 0, 1”

とすると、マージンビット付加器3において、これら7ビットパターン間に2ビットのマージンビットが付加され、同期信号は16ビットパターンで表わされる。このマージンビットは、この16ビットパターンの2つの“1”ビット間の連続せる“0”ビットの個数が、マージンビット付加器3の出力信号の同期信号部分以外の部分での2つの“1”ビット間の連続せる“0”ビットの個数のうちの最大個数を越えないように、設定されるものであって、同期信号の7ビットパターンが上記のような場合、“0, 1”、“1, 0”のいず

パターンが検出されると、最後の16ビット目で検出信号c(第4図(B))を発生する。かかる擬似同期信号検出器6としては、たとえば、ビット転送する16ビットのレジスタとアンドゲートとで構成することができる。

一方、マージンビット付加器3においては、供給された7ビットパターン信号bを13ビット分以上遅延する。この遅延された7ビットパターン信号を第4図(C)に示す。そして、この遅延された7ビットパターン信号の部分 T_m の始端を検出し、これが検出されると擬似同期信号検出器6から検出信号cが供給されたか否かの判定を行ない、この検出信号c(第4図(B))が供給されていると、この部分 T_m に“1, 0”のマージンビット(第4図(D))を付加する。このように、マージンビットを付加された16ビットパターンは、第4図(E)に示すように、もはや同期信号のビットパターン(第3図)とは一致せず、マージンビット付加器3から出力信号dとしてNRZI変調器4に供給される。

擬似同期信号6から検出信号cが供給されないときには、マージンビット付加器3は、前後する $(2n-1)$ ビットパターンの中に、これら前後する $(2n-1)$ ビットパターンと、NRLZ I変調器4の出力信号、すなわちNRLZ I変調信号とに比した2ビットのマージンビットが付加される。

次に、かかるマージンビットについて説明する。

先に述べたように、符号変換器2からの $(2n-1)$ ビットパターンは、2つの"1"ビット間に少なくとも2つの"0"ビットを含んでいる。しかし、前後する2つの $(2n-1)$ ビットパターンの境界では、必ずしも2つの"1"ビット間に少なくとも"0"ビットが存在するとは限らない。マージンビットは、まずこれを満すように付加するものである。第2に、マージンビットは、NRLZ I変調信号が磁気テープに記録するのに適するように、すなわち、再生出力が小さい低周波成分や再生不能な直流成分がNRLZ I信号に含まれないようにするものである。

第1の点については、 $(2n-1)$ ビットパタ

ーンに係わらず、マージンビットを"0, 0"とすればよい。しかし、このようにすると、第2の点について不都合となる場合もある。

そこで、この実施例では、加減算器7を設けてNRLZ I信号をデジタル加減算し、この加減算値DSとNRLZ I信号の状態ST("1"または"0")とをも用い、マージンビットを決定するものである。

いま、付加すべきマージンビットの2つのビットを M_1, M_0 とし、これに先行する $(2n-1)$ ビットパターンを、

$$P_{2n-2}, P_{2n-3}, \dots, P_2, P_1, P_0, \dots (1)$$

後続の $(2n-1)$ ビットパターンを、

$$Q_{2n-2}, Q_{2n-3}, \dots, Q_2, Q_1, Q_0, \dots (2)$$

とすると、これら $(2n-1)$ ビットパターンとマージンビットとは次のように配列される。

$$P_{2n-2}, P_{2n-3}, \dots, P_2, P_1, P_0, M_1, M_0, Q_{2n-2}, Q_{2n-3}, \dots, Q_2, Q_1, Q_0$$

そこで、このように、2つの $(2n-1)$ ビットパターン間に2ビットのマージンビットを付加

するようにすると、2つの"1"ビット間に少なくとも2つの"0"ビットが存在するという条件から、 $P_1, P_0, Q_{2n-2}, Q_{2n-3}$ の状態についてみればよく、 $P_0=1$ かつ $Q_{2n-2}=1$ の状態は、 $P_1=Q_{2n-3}=1$ のいずれかのときには、2つの"1"ビット間に少なくとも2つの"0"ビットが存在しなければならないことから、必ず $M_1=M_0="0"$ でなければならない。

これ以外の状態としては、

$$(i) \quad P_1=P_0=Q_{2n-2}, Q_{2n-3}="0"$$

$$(ii) \quad P_1="1" \text{ かつ } P_0=Q_{2n-2}=Q_{2n-3}="0"$$

$$(iii) \quad P_1=P_0=Q_{2n-2}="0" \text{ かつ } Q_{2n-3}="1"$$

の3つの状態を考慮すればよい。これらの状態においても、 $M_1=M_0="0"$ とすれば、2つの"1"ビット間に必ず2つの"0"ビットが存在するが、このマージンビットによってNRLZ I信号の直流成分が増加してしまうことがある。このため、(i), (ii), (iii)の状態においては、NRLZ I信号をもとにして、その直流成分が増加しないようにマージンビットが設定される。

なお、設定されるマージンビットは、 $M_1=M_0="0"$ 、または、 $M_1="1"$ で $M_0="0"$ 、または、 $M_1="0"$ で $M_0="1"$ のいずれかであることはいうまでもない。

ところで、加減算器7は、NRLZ I変調信号の状態STが"1"のときには値1が加算され、また、状態STが"0"のときには値1が減算される。加減算器7の加減算タイミングは、マージンビット付加器3の出力信号dのビットのタイミングに一致しており、したがって、加減算器7の加減算値DSが正であるときには、NRLZ I変調信号の平均値、すなわち直流成分が正に、また、DSが負のときには、直流成分が負になることを表わしている。

そこで、

$$\left. \begin{array}{l} DS \geq 0 \text{ で } ST="1" \text{ のとき、} \\ DS < 0 \text{ で } ST="0" \text{ のとき} \end{array} \right\} \dots (3)$$

には、そのままでは、DSがそのままの符号を保って増大し、直流成分が増加することになるから、 M_1, M_0 のいずれかを"1"にして、NRLZ I変

調信号の状態 ST を反転させなければならない。
これに対して、

$$\left. \begin{array}{l} DS \geq 0 \text{ で } ST = "0" \text{ のとき、} \\ DS < 0 \text{ で } ST = "1" \text{ のとき} \end{array} \right\} \dots (4)$$

には、一般に、状態 ST を反転させる必要はない。
しかし、マージンビットを付加したことにより、
($2n-1$)ビットパターンの"0"ビットの連続する個数 k (但し、($2n-1$)ビットパターンの両端に"0"ビットが連続する場合には、その個数に2(=マージンビットのビット個数)を加えた数値)の最大値 m を越えるように、連続する"0"ビットの個数が大きくなることもある。このような場合には、マージンビットの M_1 、 M_0 のいずれか一方を"1"ビットにする。

いま、式(1)の先行する($2n-1$)ビットパターンの中で、最下位の"1"ビットが P_1 であり、また、式(2)の後続の($2n-1$)ビットパターンの中で、最上位の"1"ビットが Q_1 であるとするとき、 $M_1 = M_0 = "0"$ としたとき、 P_1 ビットと Q_1 ビット間の"0"ビットの個数は、

あり、かつ、2つの"1"ビット間に必ず2つの"0"ビットがなければならないことから、

$$M_1 = "0", M_0 = "1"$$

とする。

また、上記(イ)の状態の場合には、同様にして $Q_{2n-1} = "1"$ であることから、

$$M_1 = "1", M_0 = "0"$$

とする。

以上のことをまとめると、 M_1 、 M_0 は次のように設定される。

(i) 次の条件(i)~(v)のいずれか1つを満足するとき、

$$M_1 = M_0 = "0"$$

と設定される。

条件(i) $P_0 = "1"$

(ii) $Q_{2n-1} = "1"$

(iii) $P_1 = P_0 = Q_{2n-2} = Q_{2n-3} = "0"$ 、かつ
 $i + (2n-2-j) + 2 \leq m$

であって、($DS \geq 0$ かつ $ST = "0"$)または($DS < 0$ かつ $ST = "1"$)

上記(イ)の状態のとき、

$$i + (2n-2-j) + 2$$

上記(ロ)の状態のとき、 $l = 1$ だから

$$(2n-2-j) + 3$$

上記(ハ)の状態のとき、 $j = 2n-3$ だから、

$$l + 3$$

である。したがって、式(4)を満足しているときであっても、

上記(イ)の状態、 $i + (2n-2-j) + 2 > m$

のとき、..... (5)

上記(ロ)の状態、 $(2n-2-j) + 3 > m$ のとき、

..... (6)

上記(ハ)の状態、 $i + 3 > m$ のとき、

..... (7)

M_1 、 M_0 のいずれか一方を"1"とする。

式(3)あるいは式(5)、(6)、(7)の条件のもとに、上記状態(イ)、(ロ)、(ハ)において、 M_1 、 M_0 のいずれを"1"にするかは次のようにして決める。

まず、上記(イ)の状態の場合には、 M_1 、 M_0 のいずれを"1"にしてもよい。

次に、上記(ロ)の状態の場合には、 $P_1 = "1"$ で

(iv) $P_1 = "1"$ かつ $P_0 = Q_{2n-2} = Q_{2n-3} = "0"$ 、

かつ、 $(2n-2-j) + 3 \leq m$

であって、($DS \geq 0$ かつ $ST = "0"$)

または($DS < 0$ かつ $ST = "1"$)

(v) $P_1 = P_0 = Q_{2n-2} = "0"$ かつ $Q_{2n-3} = "1"$ 、

かつ、 $i + 3 \leq m$

であって、($DS \geq 0$ かつ $ST = "0"$)

または($DS < 0$ かつ $ST = "1"$)

(vi) 次の条件(i)~(v)のいずれか1つを満足するとき、

$$M_1 = "1", M_0 = "0"$$

と設定される。

条件(i) $P_1 = P_0 = Q_{2n-2} = Q_{2n-3} = "0"$ 、かつ、

$$i + (2n-2-j) + 2 > m$$

(ii) $P_1 = P_0 = Q_{2n-2} = Q_{2n-3} = "0"$ 、かつ、

$$i + (2n-2-j) + 2 \leq m$$

であって、($DS \geq 0$ かつ $ST = "1"$)

または($DS < 0$ かつ $ST = "0"$)

(iii) $P_1 = P_0 = Q_{2n-2} = "0"$ かつ $Q_{2n-3} = "1"$

かつ、 $i + 3 > m$

(iv) $P_i = P_0 = Q_{2n-2} = "0"$ かつ $Q_{2n-3} = "1"$,
かつ、 $i + 3 \leq m$

であって、($DS \geq 0$ かつ $ST = "1"$)

または、($DS < 0$ かつ $ST = "0"$)

(iii) 次の条件(i), (ii)のいずれか1つを満足するとき、

$M_i = "0"$, $M_0 = "1"$

と設定される。

条件(i) $P_i = "1"$ かつ $P_0 = Q_{2n-2} = Q_{2n-3} = "0"$,
かつ、 $(2n - 2j) + 3 > m$

(ii) $P_i = "1"$ かつ $P_0 = Q_{2n-2} = Q_{2n-3} = "0"$,
かつ、 $(2n - 2j) + 3 \leq m$

であって、($DS \geq 0$ かつ $ST = "1"$)

または($DS < 0$ かつ $ST = "0"$)

[但し、 $P_i = P_0 = Q_{2n-2} = Q_{2n-3} = "0"$

かつ、 $i + (2n - 2j) + 2 > m$

のときには、上記(i)でなく、(ii)としてもよい。]

このように、マージンビット付加器3では、加減算値DSを考慮し、この加減算値DSの絶対値が増加しないようにマージンビットが付加される。

／Nでしか再生されず、また、直流成分が再生不能な磁気記録再生装置に対しては、記録、再生系において、各電子回路の回路設計は、これら低周波成分や直流成分を考慮する必要がなくて容易となり、回路構成も簡略化される。

さらに、擬似同期信号の発生確率を充分抑えることができるため、擬似同期信号による誤った訂正や復調を避けることができる。なお、記録系において、図2図に示すように、擬似同期信号検出器6や加減算器7を必要とするが、再生系の同期信号検出器において、擬似同期信号を検出する手段を必要としないから、全体としての回路構成の簡略化は図避される。

なお、上記実施例では、マージンビット付加後の同期信号を、 $(2(2n - 1) + 2)$ ビットのビットパターンとしたが、これに限られるものではない。このビットパターン長が長い程、一般に擬似同期信号の発生確率は低下するが、これが余り長いと符号冗長度が増大する。したがって、同期信号のビットパターンは、そのビットの配列と

このために、加減算値DSの時間的変位は充分小さくなる。図5図は従来のデジタル変調方式におけるNRZI変調信号の加減算値の時間的変位を示し、図6図は本発明によるデジタル変調方式における同じく加減算値の時間的変位を示している。

この実施例における T_{min} 、 T_{max} は、2つの"1"ビット間の最小の"0"ビットの数は2、最大の"0"ビットの数はmであるから、図1図に示した従来技術と同様に、夫々

$$3 \cdot \frac{n}{2n+1} \cdot T, (m+1) \cdot \frac{n}{2n+1} \cdot T$$

(但し、Tは元のNRZ信号aのビット長)であり、したがって、ピークシフト量、セルフクロックの容易性、反転間隔の種類も、上記従来技術と同等である。

これらの図からも明らかなように、本発明によるデジタル変調方式では、上記加減算値の時間的変位を充分小さく抑えられることから、図7図に示すように、記録信号(NRZI変調信号)の低周波成分が充分に抑圧され、低周波成分が低いS

パターン長による擬似同期信号の発生確率と符号冗長度とを考慮して最良のものが設定される。

以上説明したように、本発明によれば、擬似同期信号の発生確率が大幅に低減され、低周波成分や直流成分が充分に抑圧されて回路構成が著しく簡略化されるとともに、誤復調が防止でき、磁気記録再生に際しては、S／Nの著しく良好な再生信号を得ることができるものであって、上記従来技術にない優れた機能のデジタル変調方式を提供することができる。

4. 図面の簡単な説明

図1図は従来のデジタル変調方式を示すブロック図、図2図は本発明によるデジタル変調方式の一実施例を示すブロック図、図3図は同期信号のビットパターンの一例を示すパターン図、図4図は図2図における擬似同期信号の除去動作を説明するためのタイミングチャート、図5図は従来のデジタル変調方式によるNRZI信号の加減算値の時間的変位を示すグラフ図、図6図は本発明によるNRZI信号の加減算値の時間的変位を示す

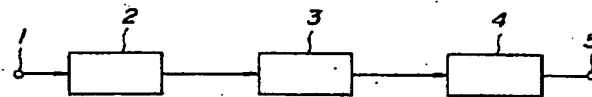
グラフ図、第7図は本発明によるN・R・Z I信号の
周波数スペクトル図である。

1 …… 入力端子、2 …… 符号変換器、3 …… マ
ーシンビット付加器、4 …… N・R・Z I変調器、5
…… 出力端子、6 …… 擬似同期信号検出器、7 ……
… 加算器。

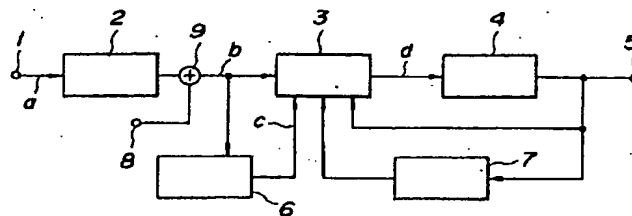
代理人 井 雄 士 徳 永 勉



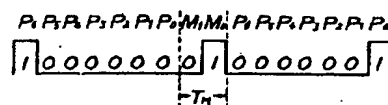
第1図



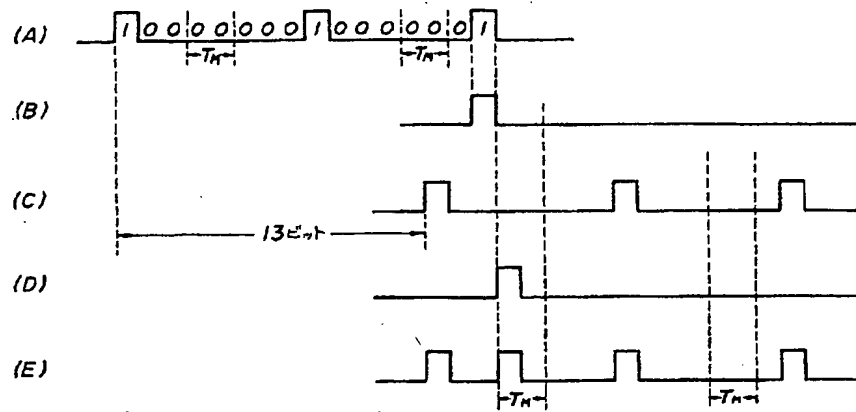
第2図



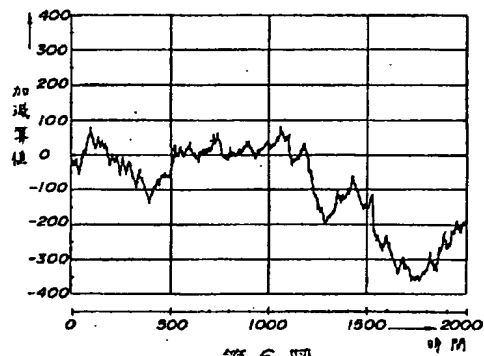
第3図



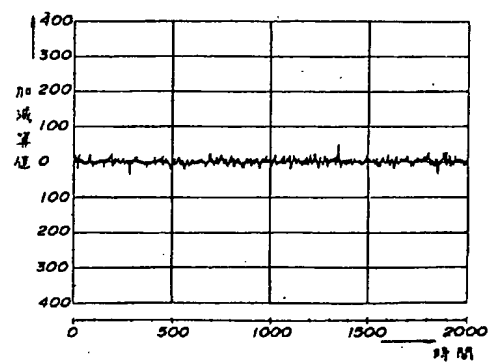
第 4 図



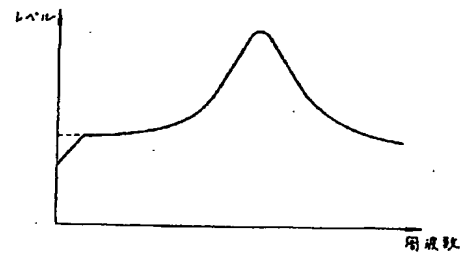
第 5 図



第 6 図



第 7 図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.